

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-33273

(P2002-33273A)

(43)公開日 平成14年1月31日 (2002.1.31)

(51)Int.Cl. ⁷	識別記号	F I	マーク ⁸ (参考)
H 01 L 21/027		G 03 F 7/38	5 1 1 2 H 0 9 6
G 03 F 7/38	5 1 1	7/40	4 M 1 0 4
7/40		H 01 L 21/28	D 5 F 0 4 6
H 01 L 21/28			F 5 F 1 1 0
		21/30	5 6 8
			審査請求 未請求 請求項の数 8 OL (全 20 頁) 最終頁に続く

(21)出願番号 特願2001-144021(P2001-144021)

(71)出願人 000153878

株式会社半導体エネルギー研究所
神奈川県厚木市長谷398番地

(22)出願日 平成13年5月14日 (2001.5.14)

(72)発明者 上原 一郎

神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

(31)優先権主張番号 特願2000-140319(P2000-140319)

(72)発明者 須沢 英臣

神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

(32)優先日 平成12年5月12日 (2000.5.12)

(72)発明者 小野 幸治

神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

(33)優先権主張国 日本 (JP)

最終頁に続く

(54)【発明の名称】 半導体装置の作製方法

(57)【要約】

【課題】 TFTのゲート電極形成工程に於けるジアソナフトキノン(DNQ)-ノボラック樹脂系ポジレジストを利用するフォトリソグラフィでの、レジストパターン側壁テーパー角の面積依存性の問題を解決することを課題とする。

【解決手段】 レジストパターンの大小によるテーパー角の変動を抑制する為、PEB処理の有無にかかわらず、レジストパターンのみをペークするポストペーク時の脱溶媒による体積収縮現象を低減する為、現像工程に於けるバーニングの前の段階、即ちレジスト膜の段階で、レジスト膜内部の残留溶媒の脱溶媒を促進させると良いことが判る。具体的には、PEB処理有りの場合には、PEB温度をポストペーク温度と同等以上になる様にペーク条件を限定し、PEB処理無しの場合には、ブリペーク温度をポストペーク温度に対し±10°C以内となる様にペーク条件に限定を加える。

【特許請求の範囲】

【請求項1】被膜上にレジストパターンを形成する第1の工程と、前記レジストパターンを用いて前記被膜をドライエッティングする第2の工程とを有し、前記第1の工程は、前記被膜上にレジストを塗布するステップと、ブリベーカーを行うステップと、露光を行うステップと、露光後ペークを行うステップと、現像を行うステップと、ポストペークを行うステップとから成り、前記露光後ペーク温度は前記ポストペーク温度と同じ又はそれ以上であることを特徴とする半導体装置の作製方法。

【請求項2】絶縁膜上に第1の導電膜と第2の導電膜を形成する第1の工程と、前記第2の導電膜上にレジストパターンを形成する第2の工程と、前記第1の導電膜と第2の導電膜を第1のドライエッティング処理により第1の形状の導電層を形成する第3の工程と、前記第1の形状の導電層の外側に第1の不純物領域を形成する第4の工程と、前記第1の形状の導電層を第2のドライエッティング処理により第2の形状の導電層を形成する第5の工程と、前記第2の形状の導電層と重なる第2の不純物領域を形成する第6の工程と、前記第2の形状の導電層を第3のドライエッティング処理により第3の形状の導電層を形成する第7の工程とを有し、前記第2の工程は、前記第2の導電膜上にレジストを塗布するステップと、ブリベーカーを行うステップと、露光を行うステップと、露光後ペークを行うステップと、現像を行うステップと、ポストペークを行うステップとから成り、前記露光後ペーク温度は前記ポストペーク温度と同じ又はそれ以上であることを特徴とする半導体装置の作製方法。

【請求項3】請求項1又は請求項2に於いて、前記露光は単波長光で露光することを特徴とする半導体装置の作製方法。

【請求項4】請求項1又は請求項2に於いて、前記露光は縮小露光装置で露光することを特徴とする半導体装置の作製方法。

【請求項5】被膜上にレジストパターンを形成する第1の工程と、前記レジストパターンを用いて前記被膜をドライエッティングする第2の工程とを有し、前記第1の工程は、前記被膜上にレジストを塗布するステップと、ブリベーカーを行うステップと、露光を行うステップと、現像を行うステップと、ポストペークを行うステップとから成り、前記ブリベーカー温度は前記ポストペーク温度に対し±10°C以内であることを特徴とする半導体装置の作製方法。

【請求項6】絶縁膜上に第1の導電膜と第2の導電膜を形成する第1の工程と、前記第2の導電膜上にレジストパターンを形成する第2の工程と、前記第1の導電膜と第2の導電膜を第1のドライエッティング処理により第1の形状の導電層を形成する第3の工程と、前記第1の形状の導電層の外側に第1の不純物領域を形成する第4の工程と、前記第1の形状の導電層を第2のドライエッ

ング処理により第2の形状の導電層を形成する第5の工程と、前記第2の形状の導電層と重なる第2の不純物領域を形成する第6の工程と、前記第2の形状の導電層を第3のドライエッティング処理により第3の形状の導電層を形成する第7の工程とを有し、前記第2の工程は、前記第2の導電膜上にレジストを塗布するステップと、ブリベーカーを行うステップと、露光を行うステップと、現像を行うステップと、ポストペークを行うステップとから成り、前記ブリベーカー温度は前記ポストペーク温度に対し±10°C以内であることを特徴とする半導体装置の作製方法。

【請求項7】請求項5又は請求項6に於いて、前記前記露光は多波長光で露光することを特徴とする半導体装置の作製方法。

【請求項8】請求項5又は請求項6に於いて、前記前記露光は等倍露光装置で露光することを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、薄膜トランジスタ（以下、TFTと略記）で構成された回路を有する半導体装置の作製法に関する。特に、光露光プロセスに於ける、レジスト処理方法とエッティング加工に関するものである。

【0002】

【従来の技術】近年、TFTを利用したアクティブマトリクス型の液晶ディスプレイ技術が、注目されている。アクティブマトリクス表示はパッシブマトリクス表示に比べ、各画素にTFTスイッチが付設されており、TN（Twisted-Nematicの略）モードの液晶配向状態を利用することができ、応答速度、視野角、コントラストの点で有利な為、現在のノートパソコン、液晶テレビ等の主流になっている。

【0003】TFTは、非晶質シリコン又は多結晶シリコンをチャネル層とするものが一般的である。特に低温プロセス（一般に、600°C以下）のみで作製される多結晶シリコンTFTは、低価格化、大面積化と同時に、電子又は正孔が大きな電界移動度を有する為、液晶ディスプレイに用いた場合、画素用トランジスタだけでなく周辺回路であるドライバーの一体化が達成できる特徴があり、各液晶ディスプレイメーカーで開発が進められてきた。しかし、多結晶シリコンTFTの場合、連続駆動させると移動度やオン電流（TFTがオン状態の場合に流れる電流）の低下及びオフ電流（TFTがオフ状態の場合に流れる電流）の増加等信頼性上の劣化現象が観測されることがある。この原因はホットキャリア効果と呼ばれており、ドレイン近傍の高電界により発生したホットキャリアの仕業であることが知られている。

【0004】ところで、設計ルール1.5μm以下のMOSトランジスタでは、オフ電流を低減し、ドレイン近

傍の高電界を緩和する方法として、LDD (Lightly-Doped-Drainの略) 構造が採用されている。NMOSトランジスタのLDD構造では、ゲート側壁のサイドウォールを利用してドレイン端部にn-領域を設け、ドレン接合の不純物濃度に傾斜を持たせることにより、ドレン近傍の電界集中を緩和している。しかし、LDD構造の場合、シングルドレン構造に比べ、ドレン耐圧はかなり向上するが、n-領域の抵抗が大きい為、ドレン電流が減少するという難点が有る。また、サイドウォールの真下に高電界領域が存在し、そこで衝突電離が最大になり、ホットエレクトロンがサイドウォールに注入される為、n-領域が空乏化し、更に抵抗が増加するLDD特有の劣化モードが問題になっている。チャネル長の縮小に伴い、以上の問題が顕在化してきた為、0.5 μm以下のMOSトランジスタでは、この問題を克服する構造として、ゲート電極の端部にオーバーラップしてn-領域を形成するGOLD (Gate-drain-Overlapped LDD) 構造が考案され採用されている。

【0005】多結晶シリコンTFTに於いても、ドレン近傍の高電界を緩和する目的で、GOLD構造の採用が検討されており、ゲート電極近傍の多結晶シリコン層に高濃度領域(n+領域)であるソース及びドレン領域と、その内側に低濃度領域(n-領域)をゲート電極端部にオーバーラップして形成しているのが特徴である。高濃度領域(n+領域)及び低濃度領域(n-領域)の形成は、レジストマスクのみで形成する方法と、ゲート電極をマスクにセルフアラインで形成する方法とがある。レジストマスクのみを用いて形成する方法の場合、レジストマスクを形成する為のフォトリソグラフィ工程が2回必要となり、フォトリソグラフィ工程の増加が大きな難点である。一方のゲート電極をマスクにセルフアラインで形成する方法の場合、フォトリソグラフィ工程の増加が抑制される利点があり、量産プロセスに適している。

【0006】以上の様に、多結晶シリコンTFTに於いては、LDD構造及びGOLD構造のゲート電極構造が採用されている。そして、ゲート電極の加工には、シアソナフトキノン(DNQ)-ノボラック樹脂系ポジ型レジストを利用した通常のフォトリソグラフィ工程と、ドライエッティング等のエッティング工程が適用されている。

【0007】

【発明が解決しようとする課題】ゲート電極をマスクにセルフアラインでGOLD構造TFTを形成する上記の方法に於いて、レジストパターンの大小により、レジストパターンのテーパー角にバラツキが生じ、結果的にゲート電極のエッティング形状のバラツキを引き起こす問題が明らかになった。液晶ディスプレイには様々な寸法のゲート電極が混在しており、レジストパターンの大小によるテーパー角のバラツキは、エッティングパターンの大小によるゲート電極のエッティング形状のバラツキに影響

を及ぼし、更には当該TFTの電気特性のバラツキにまで影響することが懸念される。レジストパターンの面積の大小によるテーパー角の変動を伴ったパターン変形、即ちレジストパターンのテーパー角の面積依存性について以下に記載する。

【0008】尚、レジストパターン側壁テーパー角の面積依存性の問題は、他社に於いても見出されており、詳細は特開平09-54438号公報に開示されている。

【0009】シアソナフトキノン(DNQ)-ノボラック樹脂系ポジレジストを用いるフォトリソグラフィの場合、【密着助剤(HMDS)処理】→【レジスト塗布】→【プリベーク】→【露光】→【露光後ベーク(Post Exposure Bake:以下、PEBと略記)処理】→【現像】→【ポストベーク】のプロセスフローで処理が行われている。上記プロセスフローに基づき、プロセス処理した際に、微細パターン(0.3~3μm程度)のレジスト形状は矩形の良好なパターンが得られるが、大面積パターン(10μm程度~)ではレジスト形状の側壁部に変形が発生し、テーパー角が小さくなる現象が確認された(図1参照)。この現象は、【プリベーク温度(90℃-1分)】→【PEB温度(110℃-3分)】→【ポストベーク温度(120℃-4分)】のプロセス条件の場合に発生していることから、PEB温度に比べ現像後のポストベーク温度が高い為、ポストベーク時の残留溶媒によるレジストパターンの体積収縮現象が原因であると推定できる。

【0010】微細パターン(0.3~3μm程度)のレジスト形状は矩形の良好なパターンが得られるが、大面積パターン(10μm程度~)ではレジスト形状の側壁部にテーパー角の変動を伴うパターン変形が発生しており、テーパー角が小さくなる現象が認められる。この為、パターン面積に依存したレジストテーパー角の変動の影響を受け、ゲート電極のエッティング形状もパターン面積に依存して変動することになる。液晶ディスプレイには様々な寸法のゲート電極が混在していることから、前記パターン面積に依存したエッティング形状の変動の問題は、TFTの電気特性の変動に影響することが懸念され、液晶ディスプレイ全体にとって重要な課題である。

【0011】本発明は、上記課題を解決することのできるTFTで構成された半導体装置の作製方法を提供することを目的とする。そして本発明は、上記従来技術の問題を解決することを課題とする。より特定すれば、TFTのゲート電極形成工程に於けるシアソナフトキノン(DNQ)-ノボラック樹脂系ポジレジストを利用するフォトリソグラフィでの、レジストパターン側壁テーパー角の面積依存性の問題を解決することを課題とする。

【0012】

【課題を解決する為の手段】【レジストパターン変形の解決手段】最初に、フォトリソグラフィ工程に於ける、

パターン面積に依存したテーパー角の変動を伴ったレジストパターン変形を解決する為の手段について記載する。

【0013】上記の様に、ジアゾナフトキノン(DNQ) - ノボラック樹脂系ポジ型レジストを利用したフォトリソグラフィ工程に於いて、図1に示す様に、大面積レジストパターン(10 μm程度以上)の側壁テーパー角の変動を伴うパターン変形が発生した。このパターン変形は、同時に形成されている微細パターン(3 μm程度以下)に於いては、発生していないことから、当該パターン変形はレジストパターンの寸法、即ちレジストパターンの面積に依存することが認められている(図1参照)。

【0014】図1に示すレジストパターンの形成に於いては、露光装置に縮小投影露光装置が適用されており、縮小投影露光装置には色収差対策として単波長(具体的には超高压水銀灯のi線)が使用されている。この為、露光光の単波長に起因した定在波による悪影響を考えられ、露光と現像の間にはPEB処理が一般に適用され、当社に於いても、縮小投影露光装置を使用するフォトリソグラフィ工程の場合には、PEB処理を適用している。

【0015】よって、側壁テーパー角の変動を伴った当該レジストパターンの変形は、露光と現像の間にPEB処理を適用したフォトリソグラフィ工程、即ち[レジスト塗布] → [プリベーク(90°C - 1分)] → [露光(縮小投影露光装置を適用)] → [PEB(110°C - 3分)] → [現像] → [ポストベーク(120°C - 4分)]から成るフォトプロセスに於いて発生している。当該フォトプロセスに於いては、レジストの軟化点であるガラス転移温度(150°C程度)以下のポストベーク(120°C - 4分)処理後にレジストパターン変形が発生していることから、当該レジストパターン変形の原因はレジストの熱軟化による影響でないことが判る。よって、レジストパターンの変形要因に関し、熱軟化による影響以外の変形要因を以下的方法で検討した。

【0016】上記に記載した様に、熱軟化による影響以外の変形要因としては、大面積パターン(10 μm程度～)に於けるレジストパターン側壁部の変形の原因として、ポストベーク時の残留溶媒によるレジストパターンの体積収縮現象が考えられる。よって、仮説として、露光後のレジスト膜全体をベークするPEB温度をポストベーク温度と同等以上に上げることにより、PEB処理時の溶媒成分の脱溶媒を促進させ、ポストベーク時のレジストパターンからの脱溶媒を相対的に低減させる対策が考えられる。

【0017】前記仮説の検証実験として、PEB温度を110～150°Cまで振ることにより、大面積レジストパターンエッジ部寸法への影響を調査した。尚、大面積レジストパターンエッジ部寸法は、測長SEMで測定し

た。図2の結果より、PEB温度の上昇に伴い、大面積レジストパターンエッジ部の寸法が徐々に小さくなっている。ポストベーク温度(120°C)付近の温度より高いPEB温度で安定傾向にあること、即ち体積収縮現象による大面積レジストパターン側壁部のテーパー角の変動を伴ったパターン変形がポストベーク温度(120°C)付近の温度より高い温度領域で小さくなっていることが確認された(図2参照)。

【0018】大面積レジストパターンエッジ部の寸法が小さくなるということは、大面積レジストパターンの側壁テーパー角が大きくなることであり、より急峻になることを意味する為、ポストベーク温度(120°C)より高いPEB温度領域で、大面積レジストパターンの側壁テーパー角が大きく、且つ安定していることが判明した。従って、大面積レジストパターンでのレジストテーパー角の変動を伴ったパターン変形の対策として、PEB温度をポストベーク温度と同等以上に上げることが有効であることが証明された(図2参照)。

【0019】ところで、PEB処理は縮小投影露光装置(通称ステッパー)等の単波長(高圧水銀灯のg線及びi線)露光の際に発生する現像後レジストパターン側壁部の干渉縞を低減する為に導入されている工程であるが、多波長露光の等倍露光装置(通称MPA)で露光する場合には、現像後レジストパターン側壁部の干渉縞の発生が基本的ない為、必ずしもPEB処理は導入されない場合がある。この場合についても、プリベーク温度(通常90～100°C程度)に対し、ポストベーク温度(通常110～140°C程度)が高いと温度差に依存して、ポストベーク時にレジストパターンから残留溶媒の脱溶媒が進行し、レジストパターンの体積収縮現象によるテーパー角の変動を伴うレジストパターン変形が発生することが考えられる。

【0020】以上の考えの下、PEB処理のないフォトリソグラフィ工程に於いて、ポストベーク温度(140°C - 2分)を固定した状態でプリベーク温度(90°C, 110°C, 130°C - 1.5分)の条件を振って、レジストパターン形状への影響を評価した。得られたレジストパターン形状を断面SEMで観察し、結果を図3に示す。尚、本実験に於いては、露光装置に等倍露光装置であるCanon製MPAを使用し、評価パターンは3 μmラインのレジストパターンで評価した(図3参照)。

【0021】図3は多波長利用の等倍露光装置で露光し、PEB処理無しで、そのまま現像+ポストベーク(140°C)処理した場合のレジスト断面形状のSEM写真で、プリベーク温度90°Cと110°Cと130°Cの場合が示してある。この図から判る様に、プリベーク温度90°C及び110°Cの場合は、130°Cプリベークの場合に比べ、ポストベーク時の脱溶媒によるレジストパターンの体積収縮現象が激しく、レジストパターン形状の変形が認められる。従って、この場合の対策案として

は、プリベーク温度とポストピーク温度の温度差を10℃以下になる迄近づけることで解決できる（図3参照）。

【0022】尚、本実験に於いては、大面積レジストパターン（10μm～）については、特に評価していない。仮に大面積レジストパターンで評価した場合、ポストピーク時の脱溶媒による体積収縮起因の形状劣化現象の点では、より厳しい条件で評価することになるが、PEB処理有りの場合の実験と同様に、プリベーク温度の適性範囲が、ポストピーク温度と同等以上になることも考えられる。しかし、プリベーク温度の適性範囲をポストピーク温度と同等以上とすると、プリベーク温度の上昇に伴い、感度等の露光特性に悪影響を及ぼす懸念がある。また、ポストピーク温度の方は、レジストパターンの下地基板への密着性の点で無闇に下げない方が好ましい。この様な事情から、プリベーク温度については、大面積レジストパターンではなく、通常のレジストパターン（3μmラインパターン）で評価し、プリベーク温度はポストピーク温度に対し、±10℃以内になる様にピーク条件を限定することにした。

【0023】以上により、レジストパターンの大小によるテーパー角の変動を抑制する為、PEB処理の有無にかかわらず一般的に言えることは、レジストパターンのみをピークするポストピーク時の脱溶媒による体積収縮現象を低減する為、現像工程に於けるパターニングの前の段階、即ちレジスト膜の段階で、レジスト膜内部の残留溶媒の脱溶媒を促進させると良いことが判る。具体的には、PEB処理有りのプロセスの場合には、PEB温度をポストピーク温度と同等以上になる様にピーク条件を限定し、PEB処理無しのプロセスの場合には、プリベーク温度をポストピーク温度に対し±10℃以内になる様にピーク条件に限定を加える。

【0024】従って、ポストピーク時のレジストパターンからの脱溶媒による体積収縮起因の形状劣化現象であるレジストパターン側壁テーパー角の面積依存性の対策として、以下の技術的思想の創作が導かれる。

【0025】（創作1）ジアゾナフトキノン（DNQ）-ノボラック樹脂系ポジ型レジストを利用したPEB処理有りのフォトリソグラフィ工程に於いて、PEB温度をポストピーク温度と同等以上になる様に限定することにより、ポストピーク時のレジストパターンからの脱溶媒による体積収縮起因の形状劣化現象を対策する。

【0026】（創作2）ジアゾナフトキノン（DNQ）-ノボラック樹脂系ポジ型レジストを利用したPEB処理無しのフォトリソグラフィ工程に於いて、プリベーク温度をポストピーク温度に対し±10℃以内に限定することにより、ポストピーク時のレジストパターンからの脱溶媒による体積収縮起因の形状劣化現象を対策する。

【0027】尚、ポストピーク時の脱溶媒による体積収縮起因の形状劣化現象であるフォトレジストパターン側

壁テーパー角の面積依存性の問題は、ジアゾナフトキノン（DNQ）-ノボラック樹脂系ポジ型フォトレジストに特有の問題でなく、溶剤を含有したフォトレジストパターンに共通する問題である点を付記しておく。その根拠は、ポストピーク時の脱溶媒による体積収縮現象は、現像後のフォトレジストパターン内部に溶剤が存在する以上、フォトレジストパターン一般に対し、避けて通れない共通現象と考えられる為である。また、特開平09-54438号公報に於いて、フォトレジストパターン側壁テーパー角の面積依存性の問題は、ネガ型化学增幅フォトレジストについても存在することが開示されており、この点からも、当該問題はフォトレジストパターン一般に対する共通問題であることが推認される。

【0028】〔半導体装置の作製方法〕TFTのゲート電極形成工程である半導体装置の作製方法に於いて、フォトリソグラフィ工程が抱える問題点であるレジストパターン側壁テーパー角の面積依存性の解決手段を以下に記載する。

【0029】（1）PEB処理有りの場合

本発明の構成は、被膜上にレジストパターンを形成する第1の工程と、前記レジストパターンを用いて前記被膜をドライエッチングする第2の工程とを有し、前記第1の工程は、前記被膜上にレジストを塗布するステップと、プリベークを行うステップと、露光を行うステップと、PEB処理を行うステップと、現像を行うステップと、ポストピークを行うステップとから成り、前記PEB温度を前記ポストピーク温度と同等以上に限定することを特徴としている。

【0030】また、他の発明の構成は、絶縁膜上に第1の導電膜と第2の導電膜を形成する第1の工程と、前記第2の導電膜上にレジストパターンを形成する第2の工程と、前記第1の導電膜と第2の導電膜を第1のドライエッチング処理により第1の形状の導電層を形成する第3の工程と、前記第1の形状の導電層の外側に第1の不純物領域を形成する第4の工程と、前記第1の形状の導電層を第2のドライエッチング処理により第2の形状の導電層を形成する第5の工程と、前記第2の形状の導電層と重なる第2の不純物領域を形成する第6の工程と、前記第2の形状の導電層を第3のドライエッチング処理により第3の形状の導電層を形成する第7の工程とを有し、前記第2の工程は、前記第2の導電膜上にレジストを塗布するステップと、プリベークを行うステップと、露光を行うステップと、PEB処理を行うステップと、現像を行うステップと、ポストピークを行うステップとから成り、前記PEB温度を前記ポストピーク温度と同等以上に限定することを特徴としている。

【0031】（2）PEB処理無しの場合

また、他の発明の構成は、被膜上にレジストパターンを形成する第1の工程と、前記レジストパターンを用いて前記被膜をドライエッチングする第2の工程とを有し、

前記第1の工程は、前記被膜上にレジストを塗布するステップと、ブリペークを行うステップと、露光を行うステップと、現像を行うステップと、ポストベークを行うステップとから成り、前記ブリペーク温度を前記ポストベーク温度に対し±10°C以内に限定することを特徴としている。

【0032】また、他の発明の構成は、絶縁膜上に第1の導電膜と第2の導電膜を形成する第1の工程と、前記第2の導電膜上にレジストパターンを形成する第2の工程と、前記第1の導電膜と第2の導電膜を第1のドライエッティング処理により第1の形状の導電層を形成する第3の工程と、前記第1の形状の導電層の外側に第1の不純物領域を形成する第4の工程と、前記第1の形状の導電層を第2のドライエッティング処理により第2の形状の導電層を形成する第5の工程と、前記第2の形状の導電層と重なる第2の不純物領域を形成する第6の工程と、前記第2の形状の導電層を第3のドライエッティング処理により第3の形状の導電層を形成する第7の工程とを有し、前記第2の工程は、前記第2の導電膜上にレジストを塗布するステップと、ブリペークを行うステップと、露光を行うステップと、現像を行うステップと、ポストベークを行うステップとから成り、前記ブリペーク温度を前記ポストベーク温度に対し±10°C以内に限定することを特徴としている。

【0033】

【発明の実施の形態】本発明はGOLD構造多結晶シリコンTFTの形成に於いて、互いに寸法の異なる2層構造のゲート電極を形成する為のフォトリソグラフィ工程のブリペーク温度又はPEB温度とポストベーク温度の間のベーク条件に前記限定を加えることで、様々な寸法のレジストパターンのテーパー角を高精度に制御し、結果的に様々な寸法の2層構造のゲート電極の形状が高精度に制御されることを特徴としている。本発明のGOLD構造TFTの作製方法に関する、実施の形態について以下に記載する。

【0034】【実施形態1】最初に、GOLD構造TFTの作製方法に関する図4の一実施形態について記載する。基板101上に多結晶シリコン層102を形成し、その上にゲート絶縁膜103を堆積し、次に第1層ゲート電極膜104及び第2層ゲート電極膜105を積層する。その後、フォトリソグラフィ工程によりゲート電極のエッティングマスクとなるレジストパターン106を形成する。この際、フォトリソグラフィ工程に於いて、PEB処理有りのプロセスの場合には、PEB温度をポストベーク温度と同等以上になる様にベーク条件を限定し、PEB処理無しのプロセスの場合には、ブリペーク温度をポストベーク温度に対し±10°C以内になる様にベーク条件に限定を加えることにより、高精度に制御されたテーパー角を有するレジストパターン106を形成する(図4-A参照)。

【0035】次に、前記レジストパターン106をマスクに第2層ゲート電極膜105のみをテーパーエッティング(第1ステップのエッティング)する(図4-B参照)。

【0036】次に、前記第2層ゲート電極膜105をマスクに、連続して第1層ゲート電極膜104を異方性エッティング(第2ステップのエッティング)し、その後n+イオン注入を行い、高濃度不純物領域であるソース及びドレイン領域となるn+領域107を形成する(図4-C参照)。

【0037】次に、レジストパターン106をマスクに第2層ゲート電極膜105と第1層ゲート電極膜104の両方を異方性エッティング(第3ステップのエッティング)することにより、ゲート絶縁膜103上の所定の領域を後退させる。この際、露出したゲート絶縁膜103には、先の第2ステップのエッティングの際に若干エッチングされることにより形成された段差と、第3ステップのエッティングの際に若干エッチングされることにより形成された段差が存在することになる(図4-D参照)。

【0038】次に、レジストパターン106をマスクに第2層ゲート電極膜105のみを選択的に異方性エッティング(第4ステップのエッティング)し、第1層ゲート電極膜104は残した状態になっている。この際、第1層ゲート電極膜104は端部に近づく程、エッティングガスに長い時間曝されている為、エッティングされ膜厚が薄くなっている(図4-E参照)。

【0039】次に、レジストパターン106をレジスト除去し、その後にn-イオン注入を行うことにより、第1層ゲート電極膜104とオーバーラップしている領域に低濃度不純物領域であるn--領域(Lov領域)108を形成し、その外側の第1層ゲート電極膜104とオーバーラップしない領域でゲート絶縁膜103が比較的厚い領域に低濃度不純物領域であるn-領域(Loff領域)109を形成する(図4-F参照)。

【0040】以上の工程により、多結晶シリコン膜を活性層とするGOLD構造TFTを作製することができる。そして、当該GOLD構造TFTの作製工程であるゲート電極形成用フォトリソグラフィ工程に於いて、PEB処理有りのプロセスの場合には、PEB温度をポストベーク温度と同等以上になる様にベーク条件を限定し、PEB処理無しのプロセスの場合には、ブリペーク温度をポストベーク温度に対し±10°C以内になる様にベーク条件に限定を加える。このことにより、レジストパターンの面積に依存しない、高精度に制御されたテーパー角を有するレジストパターン106を形成することが可能である。この為、当該レジストパターン106をマスクにドライエッティングして形成されるゲート電極についても、ゲート電極の大きさに依存せず、安定した形状のゲート電極を形成することが可能である。

【0041】【実施形態2】次に、GOLD構造TFT

の作製方法に関する図5の一実施形態について記載する。基本的に第2ステップのエッチング工程及びn+イオン注入工程までの図5-Aから図5-Cまでの作製方法は図4の考案と同一であるので、此処では省略して第3ステップのエッチング工程から記載する。レジストパターン206をマスクに第2層ゲート電極膜205のみを選択的に異方性エッチング（第3ステップのエッチング）し、第1層ゲート電極膜204は残した状態になっている。この際、第1層ゲート電極膜204は端部に近づく程、エッチングガスに長い時間曝されている為、エッチングされ膜厚が薄くなっている。この後、n-イオン注入を行うことにより、低濃度不純物領域であるn-領域208を形成する（図5-D参照）。

【0042】次に、第1層ゲート電極膜204のみを異方性エッチング（第4ステップのエッチング）し、第1層ゲート電極膜204の寸法をゲート絶縁膜203上の所定の領域まで後退させる。このことにより、前記n-領域208は、第2層ゲート電極膜205とオーバーラップしているLoV領域209とオーバーラップしないLoF領域210に区分される。最後に、レジストパターン206をレジスト除去する（図5-E、図5-F参照）。

【0043】本発明のGOLD構造TFTによれば、互いに寸法の異なる2層構造のゲート電極をマスクにイオン注入することにより、ゲート電極とオーバーラップしているLoV領域と、その外側にゲート電極とオーバーラップしていないLoF領域を同時に形成することが可能である。また、前記ゲート電極を形成する際のフォトリソグラフィ工程に於いて、PEB処理有りのプロセスの場合には、PEB温度をポストベーク温度と同等以上になる様にベーク条件を限定し、PEB処理無しのプロセスの場合には、ブリベーク温度をポストベーク温度に対し±10°C以内になる様にベーク条件に限定を加えることにより、高精度に制御されたテーカー角を有するレジストパターンを形成し、結果的に互いに寸法の異なる2層構造のゲート電極の形状を高精度に制御することが可能となる。

【0044】

【実施例】【実施例1】本発明の実施例であるアクティマトリクス型液晶表示装置の作製方法について、図6～図10により説明する。此処では、同一基板上に画素部と、画素部の周辺に設ける駆動回路のTFT（nチャネル型TFT及びpチャネル型TFT）を同時に作製する方法について詳細に説明する。

【0045】基板301は、ガラス基板、石英基板、セラミック基板等を用いることができる。また、シリコン基板、金属基板又はステンレス基板の表面に絶縁膜を形成したものを用いても良い。また、本実施例の処理温度に耐えうる耐熱性を有するプラスチック基板を用いても良い。

【0046】次いで、図6-Aに示す様に、基板301上に酸化シリコン膜、窒化シリコン膜又は酸化窒化シリコン膜等の絶縁膜から成る下地膜302を形成する。本実施例では下地膜302として2層構造を用いるが、前記絶縁膜の単層膜又は2層以上積層させた構造を用いても良い。下地膜302の1層目としては、プラズマCVD法を用い、SiH₄、NH₃、及びN₂Oを反応ガスとして成膜される酸化窒化シリコン膜302aを50～100nm堆積する。次いで、下地膜302の2層目としては、プラズマCVD法を用い、SiH₄、及びN₂Oを反応ガスとして成膜される酸化窒化シリコン膜302bを100～150nmの厚さに積層形成する。尚、前記下地膜302は、基板301からの不純物拡散を防止する為のものである（図6-A参照）。

【0047】次いで、非晶質半導体膜304を形成する。非晶質半導体膜は、公知の手段（スパッタ法、LPCVD法、又はプラズマCVD法等）により成膜を行う。この非晶質半導体膜の厚さは30～60nmの厚さで形成する。非晶質半導体膜の材料に限定はないが、好ましくはシリコン又はシリコンゲルマニウム（SiGe）合金等で形成すると良い（図6-A参照）。

【0048】その後に、非晶質半導体膜304の脱水素化（500°C～1時間）を行い、次いでファーネスアニール炉による熱処理（550°C～4時間）を行う。必要であれば、この後にレーザーハニールを加えても良い。この様にして得られる結晶質半導体膜を図6-Bで示す様に、フォトリソグラフィ工程とエッチング工程により所望の形状にパターニングして結晶質半導体層305～309を形成する（図6-B参照）。

【0049】次いで、半導体層305～309を覆うゲート絶縁膜310を形成する。ゲート絶縁膜310は、プラズマCVD法やスパッタ法で形成し、その厚さを40～150nmとしてシリコンを含む絶縁膜で形成する。ゲート絶縁膜は酸化窒化シリコン膜に限定されるものではなく、他のシリコンを含む絶縁膜を単層又は積層構造として用いても良い（図6-B参照）。

【0050】次いで、ゲート絶縁膜310上にゲート導電膜形成を行う。本実施例では、膜厚20～100nmの第1の導電膜（TaN）311と、膜厚100～400nmの第2の導電膜（W）312とを積層形成する。ゲート導電膜はTa、W、Ti、Mo、Al、Cuから選ばれた元素、又は前記元素を主成分とする合金材料若しくは化合物材料で形成しても良い。また、リン等の不純物元素をドーピングした多結晶シリコン膜に代表される半導体膜を用いても良い。また、第1の導電膜をタンタル（Ta）膜で形成し、第2の導電膜をW膜とする組み合わせ、第1の導電膜を窒化タンタル（Ta_N）膜で形成し、第2の導電膜をAl膜とする組み合わせ、第1の導電膜を窒化タンタル（Ta_N）膜で形成し、第2の導電膜をCu膜とする組み合わせとしても良い（図6-

B参照)。

【0051】次に、結晶質半導体層305～309上に位置する第2の導電膜(W膜)上にレジストパターン313～318を形成する。この際、フォトリソグラフィ工程に於いて、PEB処理有りのプロセスの場合には、PEB温度をポストピーク温度と同等以上になる様にピーク条件を限定し、PEB処理無しのプロセスの場合には、プリピーク温度をポストピーク温度に対し±10℃以内になる様にピーク条件に限定を加えることにより、高精度に制御されたテーパー角を有するレジストパターンを形成する。尚、本実施例に於いては、プリピーク温度130℃及びポストピーク温度140℃のピーク条件で処理している(図6-C参照)。

【0052】そして、図6-Cに示す様に、ゲート電極及びゲート配線を形成する為の第1のエッティング処理を行う。本実施例ではICP(Inductively Coupled Plasma:誘導結合型プラズマ)エッティング法を用い、エッティング用ガスにCF₄とCl₂とO₂とを用い、各々のガス流量比を25/25/10(sccm)とし、1Paの圧力でコイル型の電極に500WのRF(13.56MHz)電力を投入してプラズマを生成してエッティングを行う。基板側(試料ステージ)にも150WのRF(13.56MHz)電力を投入し、実質的に負の自己バイアス電圧を印加する。この第1のエッティング条件により、W膜をエッティングして第1の導電膜の端部をテーパー形状とする。レジストパターンの形状を高精度に制御することにより、このテーパー形状の角度も30～40度の範囲に制御することができる(図6-C参照)。

【0053】この後、レジストマスク313～318を除去せずに第2のエッティング条件に変え、エッティング用ガスにCF₄とCl₂とを用い、各々のガス流量比を30/30(sccm)とし、1Paの圧力でコイル型の電極に500WのRF(13.56MHz)電力を投入してプラズマを生成して約30秒程度のエッティングを行う。基板側(試料ステージ)にも20WのRF(13.56MHz)電力を投入し、実質的に負の自己バイアス電圧を印加する。CF₄とCl₂を混合した第2のエッティング条件ではW膜及びTaN膜とも同程度にエッティングされる。尚、ゲート絶縁膜上に残渣を残すことなくエッティングする為には、10～20%程度の割合でエッティング時間を増加させると良い(図6-C参照)。

【0054】そして、レジストマスク313～318を除去せずに第1のドーピング処理を行い、半導体層にn型を付与する不純物元素を添加する。ドーピング処理はイオンドープ法、若しくはイオン注入法で行えば良い。イオンドープ法の条件はドーズ量を1×10¹³～5×10¹⁵atoms/cm²とし、加速電圧を60～100kVとして行う。n型を付与する不純物元素として15族に属する元素、典型的にはリン(P)又は砒素(As)を用いる。この場合、導電層320～323がn型を付与する

不純物元素に対するマスクとなり、自己整合的に第1の不純物領域326～330が形成される。第1の不純物領域326～330には、1×10²⁰～1×10²¹atoms/cm³の濃度範囲でn型を付与する不純物元素を添加する。この領域は、n+領域とする(図6-C参照)。

【0055】次に、レジストマスク313～318を除去せずに図7-Aに示す様に、第2のエッティング処理を行う。エッティング用ガスにCF₄とCl₂とO₂とを用い、各々のガス流量比を25/25/10(sccm)とし、1Paの圧力でコイル型の電極に500WのRF(13.56MHz)電力を投入してプラズマを生成して約20秒程度のエッティングを行う。基板側(試料ステージ)には、20WのRF(13.56MHz)電力を投入し、第1のエッティング処理に比べ低い自己バイアス電圧を印加する。この第3のエッティング条件により、W膜をエッティングする。こうして、上記第3のエッティング条件により、W膜を異方性エッティングして第2の形状の導電層332～337を形成する。この際、第2の導電層(W膜)332b～337bのみが主としてエッティングされる為、第1の導電層(TaN膜)332a～337aが両側に飛び出た形状に形成されている(図7-A参照)。

【0056】次いで、レジストマスク313～318を除去せずに図7-Aに示す様に、第2のドーピング処理を行う。この場合、第1のドーピング処理よりもドーズ量を下げて、高い加速電圧の条件としてn型を付与する不純物元素をドーピングする。例えば、加速電圧を70～120kV、本実施例では90kVの加速電圧とし、3.5×10¹²atoms/cm²のドーズ量で行い、図6-Cで形成した第1の不純物領域より内側の半導体層に新たな不純物領域を形成する。ドーピングは、第2の形状の導電層332～336を不純物元素に対するマスクとして用い、第1の導電層332a～336aの下部に於ける半導体層にも不純物元素が添加される様にドーピングする(図7-A参照)。

【0057】こうして、第1の導電層332a～336aと重なる第2の不純物領域338～342と、第1の不純物領域326～330とを形成する。n型を付与する不純物元素は、第2の不純物領域で1×10¹⁷～1×10¹⁹atoms/cm³の濃度となる様にする。第2の不純物領域は、n-領域となる(図7-A参照)。

【0058】次いで、レジストマスク313～318を除去せずに図7-Bに示す様に、ゲート絶縁膜のエッティングを行う。ゲート絶縁膜エッティング中に第2の導電層332b～337bも同時にエッティングされ、第3の形状の導電層343～348が形成される。これにより、第2の不純物領域を、第1の導電層343a～348aと重なる領域と重ならない領域に区別することができる(図7-B参照)。

【0059】そして、レジストマスク313～318を

除去した後、新たにレジストからなるマスク354～356を形成して図7-Cに示す様に、第3のドーピング処理を行う。この第3のドーピング処理により、pチャネル型TFTの活性層となる半導体層に前記一導電型とは逆の導電型を付与する不純物元素が添加された第3の不純物領域357～362を形成する。第3の形状の導電層344、347を不純物元素に対するマスクとして用い、p型を付与する不純物元素を添加して自己整合的に第3の不純物領域を形成する。本実施例では、不純物領域357～362はジボラン(B_2H_6)を用いたイオンドープ法で形成する。この第3のドーピング処理の際には、nチャネル型TFTを形成する半導体層はレジストマスク354～356で覆われている。第1のドーピング処理及び第2のドーピング処理によって、不純物領域357～362には各々異なる濃度でリンが添加されているが、その何れの領域に於いても、p型を付与する不純物元素の濃度を $2 \times 10^{20} \sim 2 \times 10^{21}$ atoms/cm³となる様にドーピング処理することにより、pチャネル型TFTのソース領域およびドレイン領域として機能する為に何ら問題は生じない(図7-C参照)。

【0060】以上までの工程で、各々の半導体層に不純物領域が形成される。半導体層と重なる第3の形状の導電層343～347がゲート電極として機能する。また、348はソース配線、347は保持容量を形成する為の第2の電極として機能する。

【0061】次いで、レジストマスク354～356を除去し、全面を覆う第1の層間絶縁膜363を形成する。この第1の層間絶縁膜363としては、プラズマCVD法又はスパッタ法を用い、厚さを100～200nmとしてシリコンを含む絶縁膜で形成する。本実施例では、プラズマCVD法により膜厚150nmの窒化シリコン膜を形成する。勿論、第1の層間絶縁膜363は窒化シリコン膜に限定されるものでなく、他のシリコンを含む絶縁膜を単層又は積層構造として用いても良い(図8-A参照)。

【0062】次いで、図8-Aに示す様に、各々の半導体層に添加された不純物元素を活性化処理する工程を行う。この活性化工程はファーネスマニール炉を用いた熱処理により行う。熱処理の温度は400～700℃、代表的には500～550℃で行えば良い。尚、熱マニール法の他に、レーザーマニール法、又はラピッドサーマルマニール法(RTA法)を適用することができる。この熱処理により、第1の層間絶縁膜363が含有する水素が放出され、半導体層を水素化することができる(図8-A参照)。

【0063】次いで、第1の層間絶縁膜363上に有機絶縁物材料から成る第2の層間絶縁膜364を形成する。次いで、ソース配線348に達するコンタクトホールと各不純物領域349、351、352、357、360に達するコンタクトホールを形成する為のパターニ

ングを行う。そして、図8-Bに示す様に、駆動回路406に於いて、第1の不純物領域又は第3の不純物領域と各々電気的に接続する配線365～370を形成する。尚、これらの配線は、膜厚50nmのTi膜と、膜厚500nmの合金膜(A1とTiとの合金膜)との積層膜をパターニングして形成する(図8-B参照)。

【0064】また、画素部407に於いては、画素電極373、ゲート導電膜372、接続電極371を形成する。この接続電極371によりソース配線348は、画素TFT404と電気的な接続が形成される。また、ゲート導電膜372は、第1の電極(第3の形状の導電層347)と電気的な接続が形成される。また、画素電極373は、画素TFTのドレイン領域と電気的な接続が形成され、さらに保持容量を形成する一方の電極として機能する半導体層と電気的な接続が形成される。また、画素電極373としては、A1又はAgを主成分とする膜、又はそれらの積層膜等、反射性の優れた材料を用いることが望ましい(図8-B参照)。

【0065】以上の様にして、nチャネル型TFT401、pチャネル型TFT402、nチャネル型TFT403を有する駆動回路406と、画素TFT404、保持容量405とを有する画素部407を同一基板上に形成することができる。本明細書中では、このような基板を便宜上アクティブマトリクス基板と呼ぶ(図8-B参照)。

【0066】駆動回路406のnチャネル型TFT401は、チャネル形成領域374、ゲート電極を形成する第3の形状の導電層343と重なる第2の不純物領域338b(GOLD領域)、ゲート電極の外側に形成される第2の不純物領域338a(LDD領域)とソース領域又はドレイン領域として機能する第1の不純物領域349を有している。pチャネル型TFT402にはチャネル形成領域375、ゲート電極を形成する第3の形状の導電層344と重なる第3の不純物領域359、ゲート電極の外側に形成される第3の不純物領域358、ソース領域又はドレイン領域として機能する第3の不純物領域357を有している。nチャネル型TFT403にはチャネル形成領域376、ゲート電極を形成する第3の形状の導電層345と重なる第2の不純物領域340b(GOLD領域)、ゲート電極の外側に形成される第2の不純物領域340a(LDD領域)とソース領域又はドレイン領域として機能する第1の不純物領域351を有している(図8-B参照)。

【0067】画素部の画素TFT404にはチャネル形成領域377、ゲート電極を形成する第3の形状の導電層346と重なる第2の不純物領域341b(GOLD領域)、ゲート電極の外側に形成される第2の不純物領域341a(LDD領域)とソース領域又はドレイン領域として機能する第1の不純物領域352を有している。また、保持容量405の一方の電極として機能する

半導体層360～362には第3の不純物領域と同じ濃度で、各々p型を付与する不純物元素が添加されている。保持容量405は、絶縁膜（ゲート絶縁膜と同一膜）を誘電体として、第2の電極347と、半導体層360～362とで形成している（図8-B参照）。

【0068】本実施例のTFTの作製方法によれば、nチャネル型TFTに関し、3回のエッチング処理と2回のドーピング処理により、ソース及びドレイン領域の他にLDD領域を形成することが可能である。さらに、該LDD領域は、ゲート電極とオーバーラップするLoV領域と、その外側にオーバーラップしないLoff領域を同時に形成することが可能である。そしてこのLoV領域とLoff領域に含まれるn型を付与する不純物元素の濃度を同程度となり、ホットキャリア効果による劣化とオフ電流の増大を同時に防ぐことを可能としている。

【0069】また、前記ゲート電極を形成する際のフォトリソグラフィ工程に於いて、プリベーク温度をポストベーク温度に対し±10℃以内になる様にベーク条件を限定することにより、高精度に制御されたテーパー角を有するレジストパターンが形成でき、結果的にゲート電極の大小（面積の違い）によるゲート電極の形状の変動を抑制することが可能となる。

【0070】本実施例で作製する、アクティブマトリクス基板の画素部の上面図を図9に示す。尚、図6～図8に対応する部分には同じ符号を用いている。図9中の鎖線A-A'は図8中の鎖線A-A'で切断した断面図に対応している。また、図9中の鎖線B-B'は図8中の鎖線B-B'で切断した断面図に対応している（図9参照）。

【0071】この様に、本実施例の画素構造を有するアクティブマトリクス基板は、一部がゲート電極の機能を果たす第1の電極346とゲート導電膜372とを異なる層に形成し、ゲート導電膜372で半導体層を遮光することを特徴としている。また、本実施例の画素構造は、ブラックマトリクスを用いることなく、画素電極間の隙間が遮光される様に、画素電極の端部をソース配線と重なる様に配置形成する。また、本実施例の画素電極の表面を公知の方法、例えばサンドblast法やエッチング法等により凹凸化させて、鏡面反射を防ぎ、反射光を散乱させることによって白色度を増加させることができ。上述の画素構造とすることにより、大きな面積を有する画素電極を配置でき、開口率を向上させることができる（図9参照）。

【0072】【実施例2】本実施例では、実施例1で作製したアクティブマトリクス基板から、アクティブマトリクス型液晶表示装置を作製する工程を以下に説明する。先ず、実施例1に従い、図8-Bの状態のアクティブマトリクス基板を得た後、図10で示す様に柱状のスペーサ506を形成する。このような柱状スペーサは、

感光性の樹脂膜を形成し、露光及び現像処理して所定の位置に形成する。感光性の樹脂膜の材料に限定はないが、例えば、JSR社製のNN700を用い、スピナーで塗布し、クリーンオーブンを用い150～200℃で加熱して硬化させて形成する。この様にして作製されるスペーサは露光と現像処理の条件によって形状を異ならせることができるが、好ましくは柱状スペーサ506の高さは2～7μm、より好ましくは4～6μmとし、その形状は柱状で頂部が平坦な形状となる様にすると、対向側の基板を合わせたときに液晶表示パネルとしての機械的な強度を確保することができる。その上に配向膜501を形成しラビング処理をする（図10参照）。

【0073】対向基板503には、着色層が形成される。着色層は画素電極に対応して設けられ、RGBカラー表示を行う為に赤、緑、青の3色が形成される。図10では着色層504、505が形成された状態を示し、画素TFT404上及び駆動回路406の各TFT上で着色層504、505が重なって設けられている。2色の着色層を重ねることにより遮光性が高まり、遮光膜として利用することができる。その場合の可能な組合せは、赤と青の積層又は赤と緑の積層である（図10参照）。

【0074】着色層上には有機樹脂材料で形成する平坦化膜507が形成され、その上に対向電極510が形成されている。対向電極は、透明導電膜により形成される。さらに、配向膜508を形成した後、ラビング処理を行う。そして、アクティブマトリクス基板と対向基板とをシール剤502で貼り合わせる。シール剤502にはフィラーが混入されていて、このフィラーとスペーサ506によって、均一な間隔を持って2枚の基板が貼り合わせることができる。その後、両基板の間に液晶材料509を注入し、封止剤（図示せず）によって完全に封止する。液晶材料には、公知の液晶材料を用いれば良い。この様にして、図10に示すアクティブマトリクス型液晶表示装置が完成する（図10参照）。

【0075】【実施例3】本発明を実施して形成されたTFTは、様々な電気光学装置（代表的にはアクティブマトリクス型液晶ディスプレイ等）に用いることができる。即ち、それら電気光学装置や半導体回路を部品として組み込んだ電子機器全てに本発明を実施できる。尚、当該電気光学装置には、アクティブマトリクス型の液晶表示装置及びEL表示装置等が含まれている。

【0076】その様な電子機器としては、ビデオカメラ、デジタルカメラ、プロジェクター（リア型又はフロント型）、ヘッドマウントディスプレイ（ゴーグル型ディスプレイ）、カーナビゲーション、カーステレオ、パソコン用コンピュータ、携帯情報端末機器（モバイルコンピュータ、携帯電話又は電子書籍等）等が挙げられる。それらの一例を図11～図13に示す。

【0077】図11-Aはパソコン用コンピュータであ

り、本体1201と画像入力部1202と表示部1203とキーボード1204等を含む。本発明は、画像入力部1202と表示部1203やその他の信号制御回路に適用することができる。

【0078】図11-Bはビデオカメラであり、本体1205と表示部1206と音声入力部1207と操作スイッチ1208とバッテリー1209と受像部1210等を含む。本発明は、表示部1206やその他の信号制御回路に適用することができる。

【0079】図11-Cはモバイルコンピュータ（モバイルコンピュータ）であり、本体1211とカメラ部1212と受像部1213と操作スイッチ1214と表示部1215等を含む。本発明は、表示部1215やその他の信号制御回路に適用できる。

【0080】図11-Dはゴーグル型ディスプレイであり、本体1216と表示部1217とアーム部1218等を含む。本発明は、表示部1217やその他の信号制御回路に適用することができる。

【0081】図11-Eはプログラムを記録した記録媒体（以下、記録媒体と呼ぶ）を用いるプレーヤーであり、本体1219と表示部1220とスピーカ部1221と記録媒体1222と操作スイッチ1223等を含む。尚、このプレーヤーは記録媒体としてDVD（Digital Versatile Disc）、CD等を用い、音楽鑑賞や映画鑑賞やゲームやインターネットを行うことができる。本発明は、表示部1220やその他の信号制御回路に適用することができる。

【0082】図11-Fはデジタルカメラであり、本体1224と表示部1225と接眼部1226と操作スイッチ1227と受像部（図示しない）等を含む。本発明は、表示部1225やその他の信号制御回路に適用することができる。

【0083】図12-Aはフロント型プロジェクターであり、投射装置1301とスクリーン1302等を含む。本発明は、投射装置1301の一部を構成する液晶表示装置1314やその他の信号制御回路に適用することができる。

【0084】図12-Bはリア型プロジェクターであり、本体1303と投射装置1304とミラー1305とスクリーン1306等を含む。本発明は、投射装置1304の一部を構成する液晶表示装置1314や、他の信号制御回路に適用することができる。

【0085】尚、図12-Cは、図12-A及び図12-B中に於ける投射装置1301と1304の構造の一例を示した図である。投射装置1301と1304は、光源光学系1307とミラー1308と1310～1312とダイクロイックミラー1309とプリズム1313と液晶表示装置1314と位相差板1315と投射光学系1316とで構成される。投射光学系1316は、投射レンズを含む光学系で構成される。本実施例は三板

式の例を示したが、特に限定されず、例えば単板式であっても良い。また、図12-C中に於いて矢印で示した光路に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節する為のフィルム、IRフィルム等の光学系を設けても良い。

【0086】また、図12-Dは、図12-C中に於ける光源光学系1307の構造の一例を示した図である。本実施例では、光源光学系1307は、リフレクター1318と光源1319とレンズアレイ1320、1321と偏光変換素子1322と集光レンズ1323とで構成される。尚、図12-Dに示した光源光学系は、一例であって特に限定されない。例えば、光源光学系に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するフィルム、IRフィルム等の光学系を設けても良い。

【0087】但し、図12に示したプロジェクターに於いては、透過型の電気光学装置を用いた場合を示しており、反射型の電気光学装置の適用例は図示していない。

【0088】図13-Aは携帯電話であり、表示用パネル1401と操作用パネル1402と接続部1403とセンサー内蔵ディスプレイ1404と音声出力部1405と操作キー1406と電源スイッチ1407と音声入力部1408とアンテナ1409等を含む。本発明は、センサー内蔵ディスプレイ1404と音声出力部1405と音声入力部1408やその他の信号制御回路に適用することができる。

【0089】図13-Bは携帯書籍（電子書籍）であり、本体1411と表示部1412と記憶媒体1413と操作スイッチ1414とアンテナ1415等を含む。本発明は、表示部1412と記憶媒体1413や他の信号回路に適用することができる。

【0090】図13-Cはディスプレイであり、本体1416と支持台1417と表示部1418等を含む。本発明は、表示部1418に適用することができる。本発明のディスプレイは特に大画面化した場合に於いて有利であり、対角10インチ以上（特に30インチ以上）のディスプレイには有利である。

【0091】以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能である。

【0092】

【発明の効果】ゲート電極を形成する際のフォトリソグラフィ工程に於いて、ブリベーケ温度とポストベーケ温度の温度差を10℃程度になる様にベーケ条件を限定することにより、高精度に制御されたテーパー角を有するレジストパターンが形成でき、結果的にゲート電極の大小（面積の違い）によるゲート電極の形状の変動を抑制することが可能となる。その結果、ゲート電極をマスクとして自己整合的に形成されるLDD領域の寸法を正確に形成することが可能となり、また、基板面内の変動を小

さくすることができ、TFT特性のバラツキを低減させることができる。以上の様な特徴を有する本発明の効果について、詳細に列記する。

【0093】(効果1) GOLD構造及びLDD構造TFTを有する半導体装置の作製工程に於いて、ジアゾナフトキノン(DNQ)-ノボラック樹脂系ポジ型レジストを利用したフォトリソグラフィ工程を適用する際、PEB処理無しのフォトリソグラフィの場合には、ブリベーク温度はポストベーク温度に対し±10°C以内になる様にベーク条件を限定し、PEB処理有りのフォトリソグラフィ工程の場合には、PEB温度をポストベーク温度と同等以上になる様にベーク条件を限定する。この様なベーク条件の限定により、ポストベーク時の脱溶媒による体積収縮起因の形状劣化現象であるレジストパターンテーバー角の面積依存性の問題を対策することが可能である。

【0094】(効果2) GOLD構造及びLDD構造TFTを有する半導体装置の作製工程であるフォトリソグラフィ工程に於いて、ポストベーク時の脱溶媒による体積収縮起因の形状劣化現象であるレジストパターンテーバー角の面積依存性の問題を対策できる為、次工程であるゲート電極のドライエッチング工程に於いても、パターン面積に依存しない安定したエッチング形状を実現することができ、ゲート電極形状の安定化を図ることが可能である。

【0095】(効果3) GOLD構造及びLDD構造TFTを有する半導体装置の作製工程であるドライエッチング工程に於いて、パターン面積に依存しない安定したエッチング形状を実現することができる為、当該半導体装置の品質の向上と歩留の向上に有効である。

【図面の簡単な説明】

【図1】大面積レジストパターンに於けるレジスト形状の変形例を示すSEM写真である。

【図2】大面積レジストパターンエッジ部寸法のPEB温度依存性を示すグラフとSEM写真である。

【図3】等倍露光装置(MPA)に於けるレジストパターン形状の改善例を示すSEM写真である。

【図4】本発明のGOLD構造TFTの作製工程を説明する基板断面図である。

【図5】本発明のGOLD構造TFTの作製工程を説明する基板断面図である。

【図6】アクティブマトリクス型液晶表示装置の作製工程を説明する基板断面図である。

【図7】アクティブマトリクス型液晶表示装置の作製工程を説明する基板断面図である。

【図8】アクティブマトリクス型液晶表示装置の作製工程を説明する基板断面図である。

【図9】本実施例1で作製するアクティブマトリクス基板の画素部の上面図である。

【図10】アクティブマトリクス型液晶表示装置の基板

断面図である。

【図11】半導体装置の一例を説明する図である。

【図12】プロジェクターの一例を説明する図である。

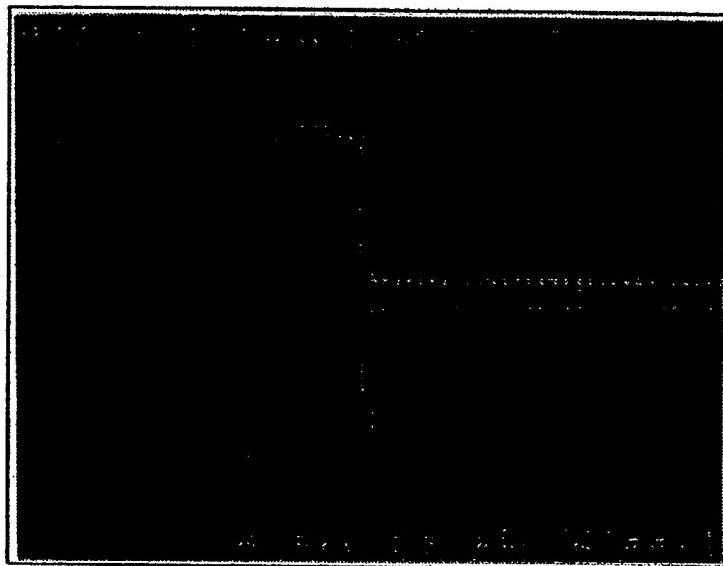
【図13】半導体装置の一例を説明する図である。

【符号の説明】

- 101 : 基板
- 102 : 多結晶シリコン層
- 103 : ゲート絶縁膜
- 104 : 第1層ゲート電極膜
- 105 : 第2層ゲート電極膜
- 106 : レジストパターン
- 107 : n+領域 (ソース/ドレイン領域)
- 108 : n-領域 (LoV領域)
- 109 : n-領域 (LoF領域)
- 201 : 基板
- 202 : 多結晶シリコン層
- 203 : ゲート絶縁膜
- 204 : 第1層ゲート電極膜
- 205 : 第2層ゲート電極膜
- 206 : レジストパターン
- 207 : n+領域 (ソース/ドレイン領域)
- 208 : n-領域
- 209 : LoV領域
- 210 : LoF領域
- 301 : 基板
- 302 : 下地膜
- 302a : 酸化窒化シリコン膜
- 302b : 酸化窒化シリコン膜
- 304 : 非晶質半導体膜
- 305~309 : (結晶質) 半導体層
- 310 : ゲート絶縁膜
- 311 : 第1の導電膜 (TaN)
- 312 : 第2の導電膜 (W)
- 313~318 : レジストパターン
- 319 : ゲート絶縁膜
- 320~323 : 導電層
- 324 : 導電層
- 325 : 導電層
- 326~330 : 第1の不純物領域
- 332~337 : 第2の形状の導電層
- 332a~337a : 第1の導電層 (TaN膜)
- 332b~337b : 第2の導電層 (W膜)
- 338~342 : 第2の不純物領域
- 343~348 : 第3の形状の導電層
- 343a~348a : 第1の導電層 (TaN膜)
- 343b~348b : 第2の導電層 (W膜)
- 348 : ソース配線
- 354~356 : レジストパターン
- 357~362 : 第3の不純物領域
- 363 : 第1の層間絶縁膜

364 : 第2の層間絶縁膜	405 : 保持容量
365 ~370 : 配線	406 : 駆動回路
371 : 接続電極	407 : 画素部
372 : ゲート導電膜（ゲート配線）	501 : 配向膜
373 : 画素電極	502 : シール剤
374 ~377 : チャネル形成領域（第1の半導体層）	503 : 対向基板
379 ~380 : 第2の半導体層	504 ~505 : 着色層
381 : 画素電極	506 : 柱状スペーサ
401 : nチャネル型TFT	507 : 平坦化膜
402 : pチャネル型TFT	508 : 配向膜
403 : nチャネル型TFT	509 : 液晶材料
404 : 画素TFT	510 : 対向電極

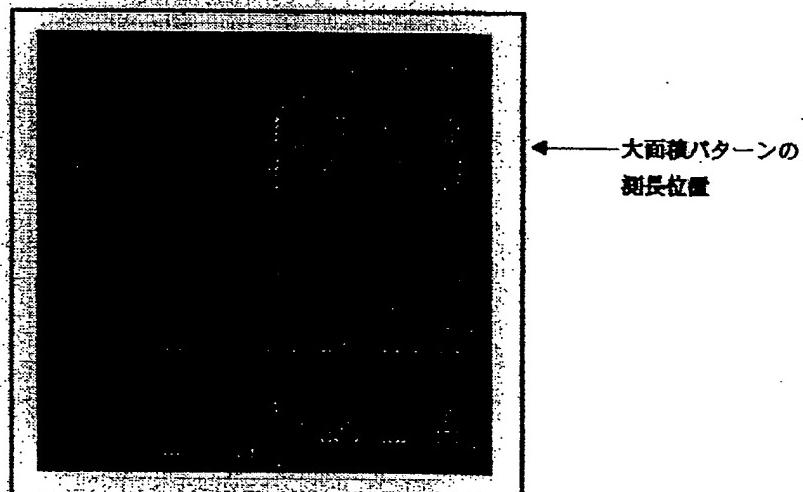
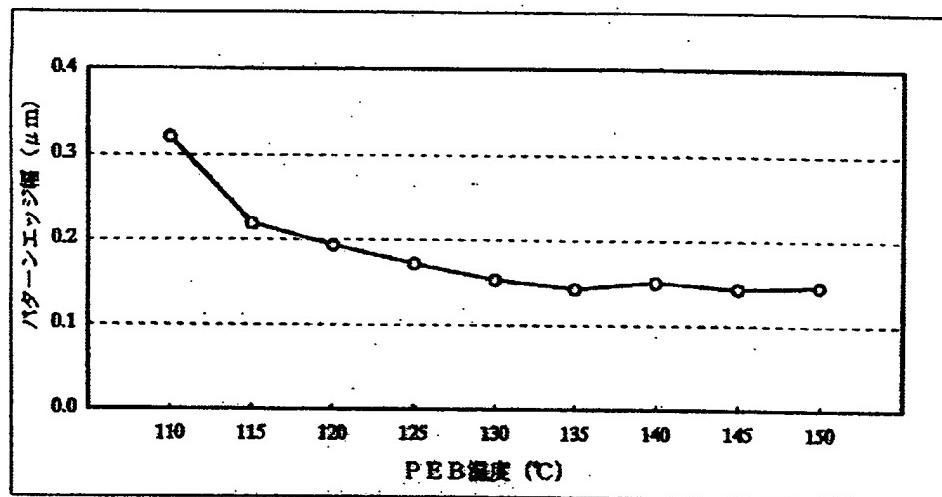
【図1】



〔レジストペーク条件〕

プリペーク :	90℃ - 1分
PEB :	110℃ - 3分
ポストペーク :	120℃ - 4分

【図2】



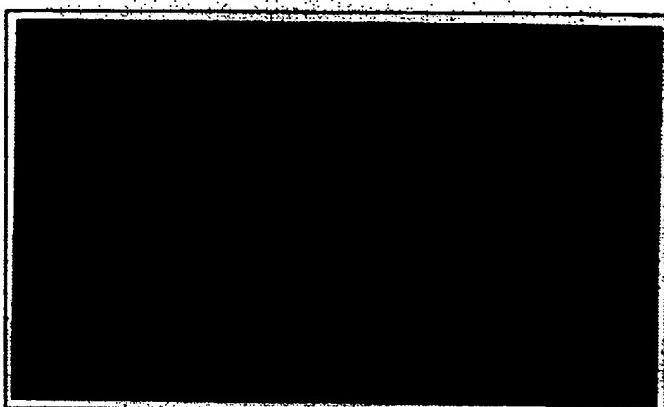
(参考) 大面積パターン：四型LSAマークの一部で、マーク周辺部がレジスト領域

露光時間 : 各PEB条件毎に0.8 μmL/Sのライン寸法が0.8
μmに近い値となる様に、露光時間を調整した。

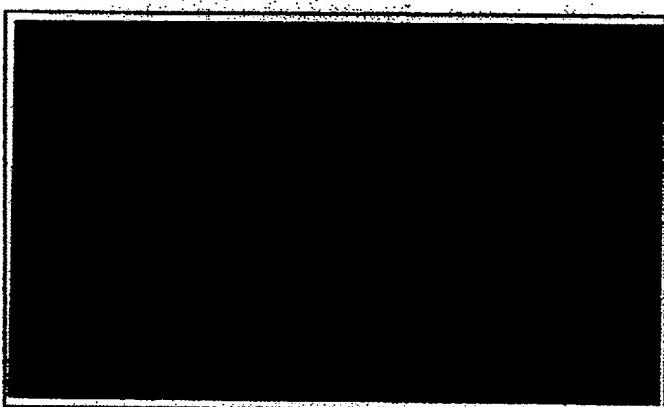
フォーカス : 0.0 μm

【図3】

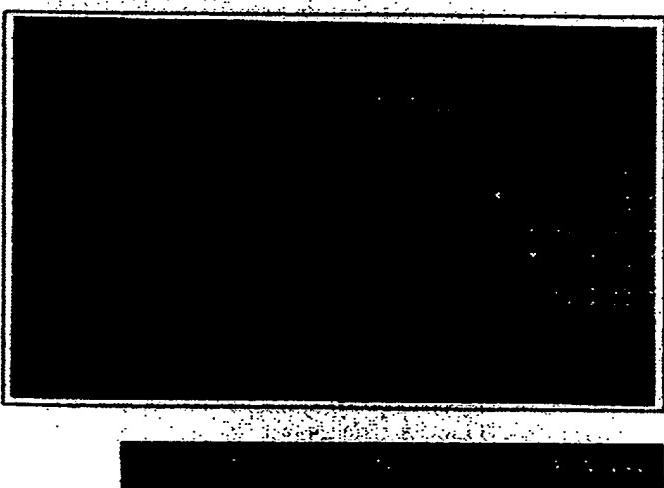
(A) 90°Cブリペーク



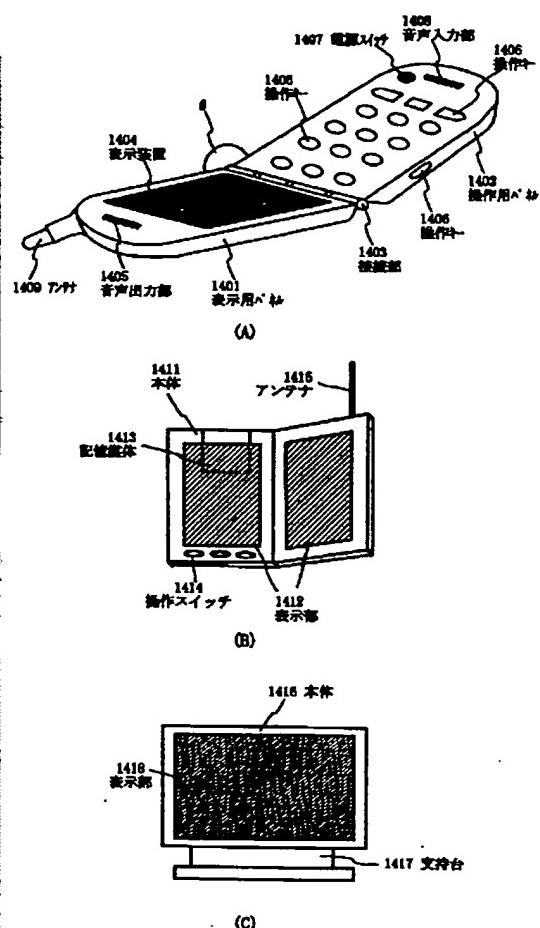
(B) 110°Cブリペーク



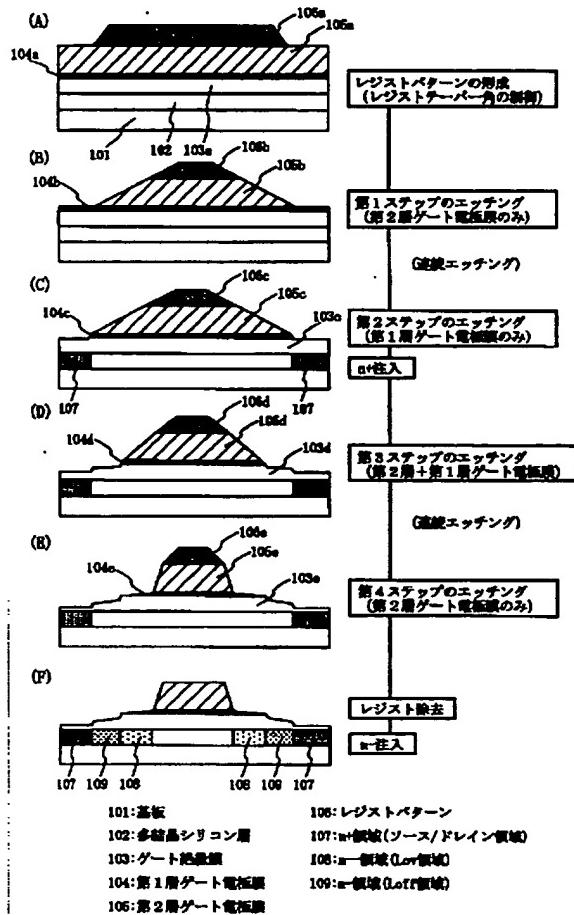
(C) 130°Cブリペーク



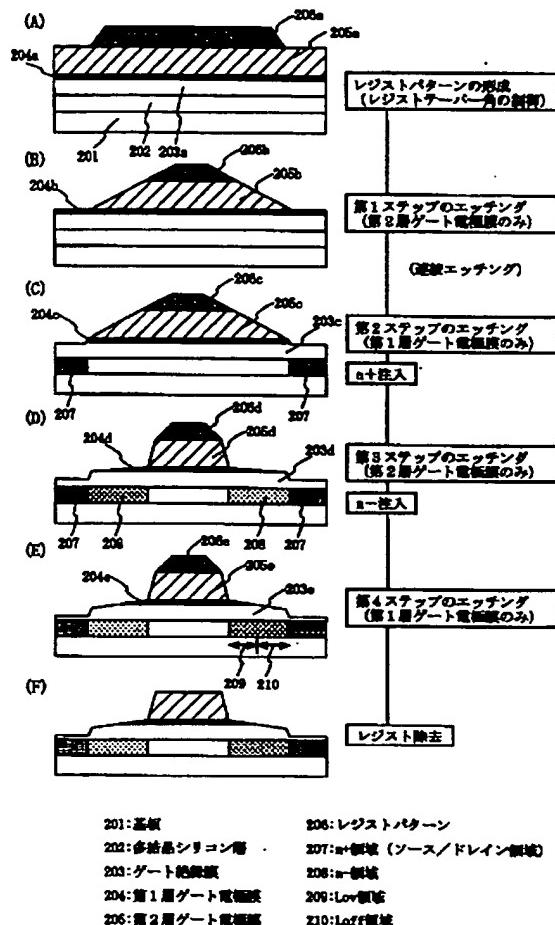
【図13】



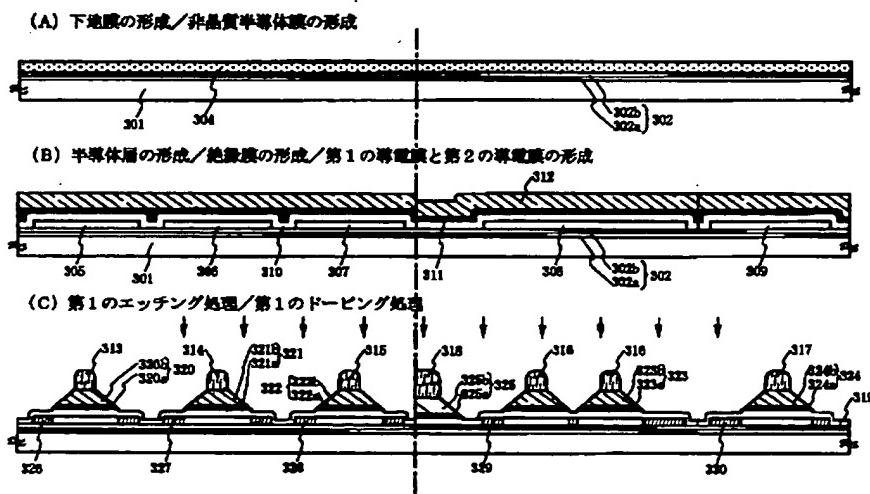
[图 4]



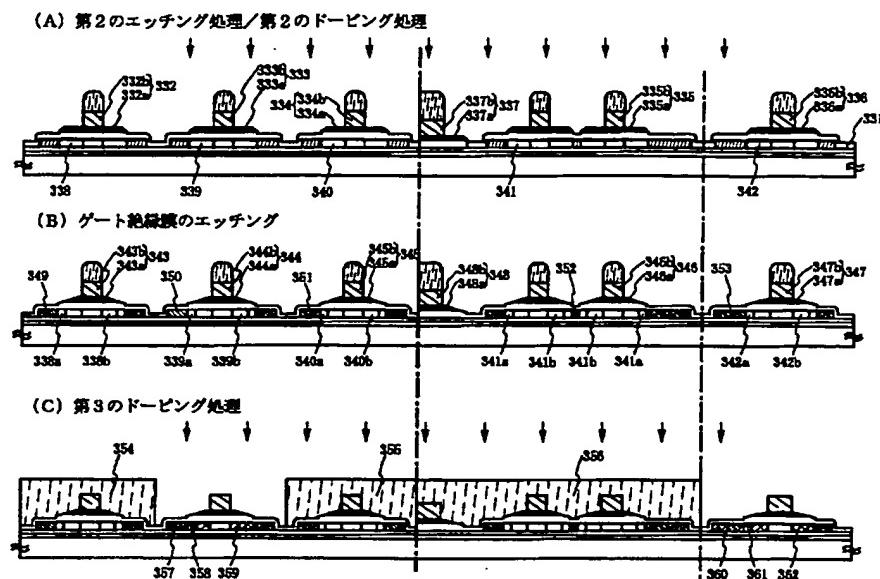
〔図5〕



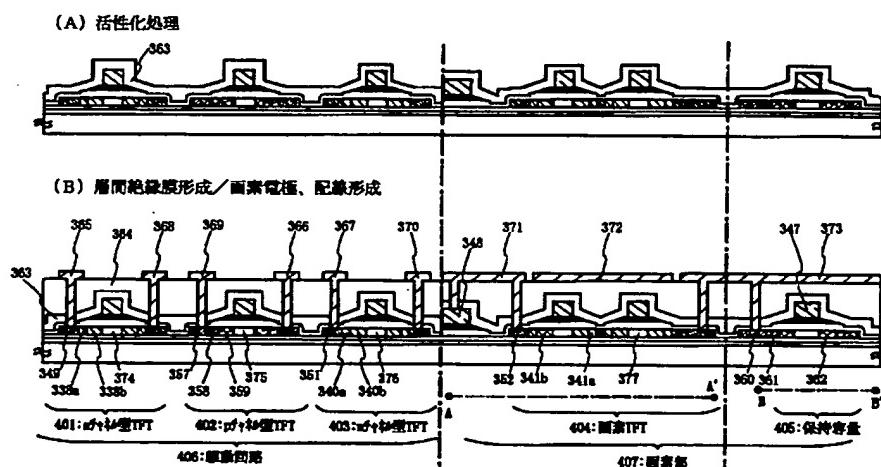
[图 6]



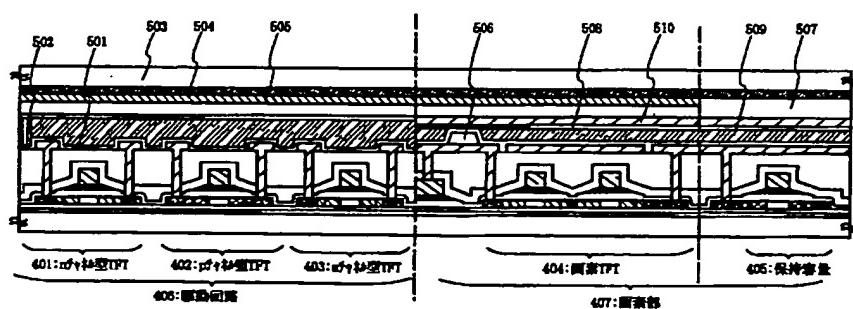
[図 7]



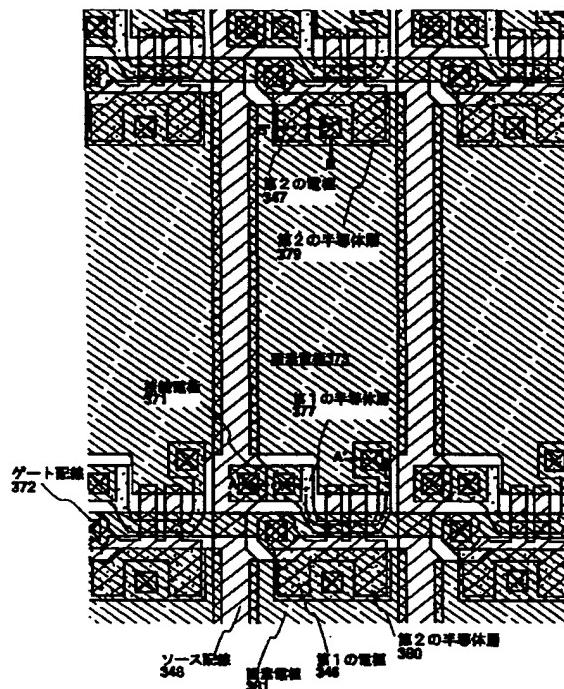
[図 8]



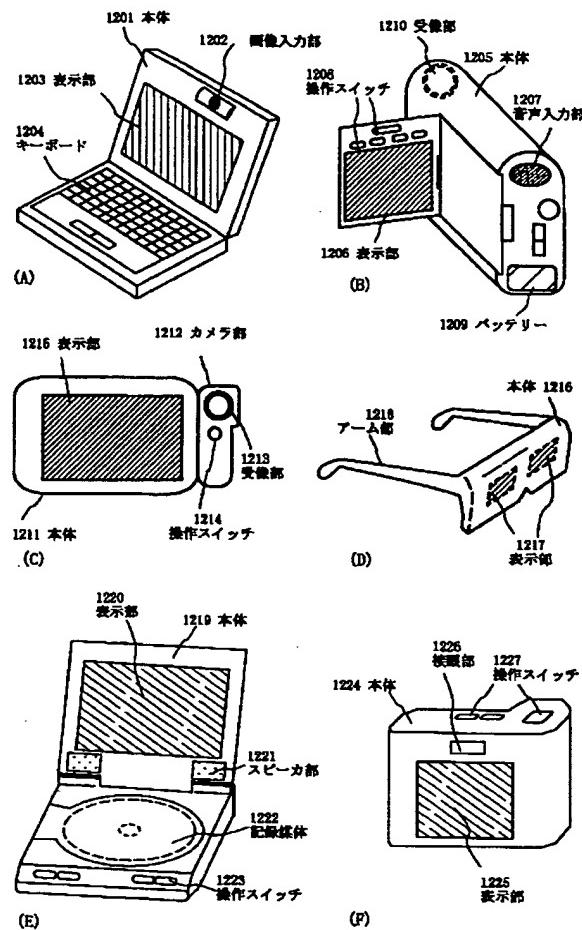
[図 10]



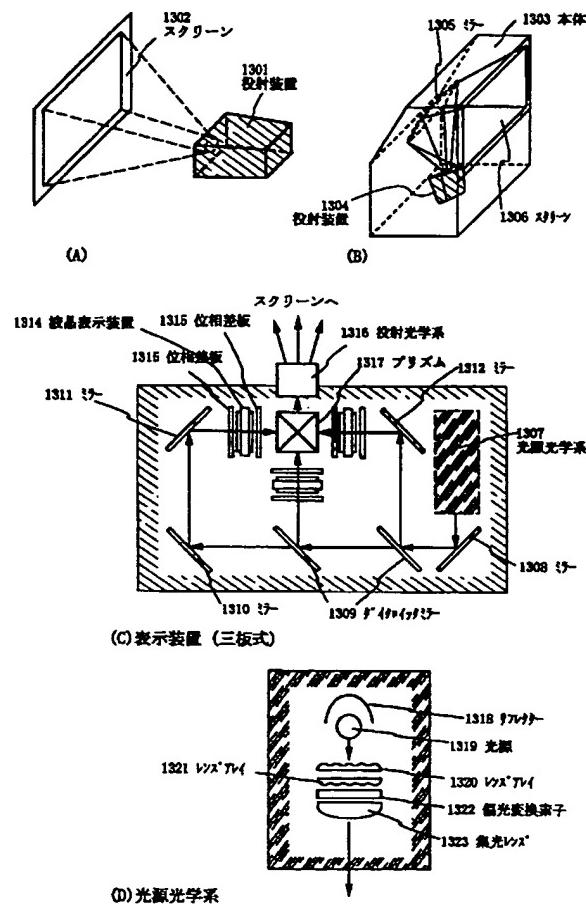
【図9】



【図11】



【図12】



フロントページの続き

(51) Int. Cl. 7

H 01 L 21/336
29/786

識別記号

F I

H 01 L 21/30
29/78

テ-マ-ト(参考)

5 6 6
6 2 7 C
6 1 7 J
6 1 6 A

F ターム(参考) 2H096 AA25 DA01 EA14 FA01 HA01
KA02 KA12 KA18
4M104 BB02 BB04 BB14 BB16 BB17
BB18 BB32 CC05 DD62 DD65
FF06 FF13 GG09
5F046 BA03 DA26 DA29 JA22 LA18
5F110 AA30 BB01 CC02 DD01 DD02
DD03 DD05 DD13 DD14 DD15
DD17 EE01 EE02 EE03 EE04
EE09 EE14 EE23 FF04 FF28
FF30 GG01 GG02 GG13 GG25
GG43 GG45 GG47 HJ01 HJ04
HJ12 HJ13 HJ23 HL04 HL06
HM15 NN03 NN24 NN27 NN34
NN35 NN44 NN72 PP03 PP35
QQ02 QQ04 QQ11 QQ23